

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-030646

(43)Date of publication of application : 02.02.1999

(51)Int.CI.

G01R 31/28

G06F 1/04

H01L 21/82

(21)Application number : 09-184751

(71)Applicant : NEC ENG LTD

(22)Date of filing : 10.07.1997

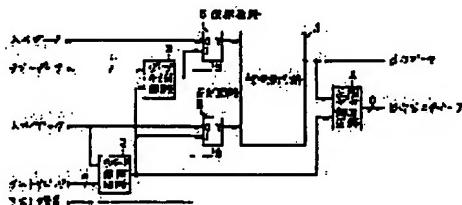
(72)Inventor : OKAYASU HIDEKI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT AND TEST CIRCUIT TO BE COMPRISED THEREIN

(57)Abstract:

PROBLEM TO BE SOLVED: To secure a semiconductor integrated circuit and a test circuit to be comprised therein, capable of testing a wide range of subject circuits.

SOLUTION: A semiconductor integrated circuit is used after converting it into a test mode through power input from a test terminal. When it is turned to the test mode, a clock highly speeded up at nth-fold by a clock multiplicational circuit 2 is inputted into a subject circuit 1, and further, data are inputted through a signal multiplied as far as nth-fold by a data compression circuit 3. Since the subject circuit 1 is inputted with the clock and the data multiplied as far as nth-fold, in the case where the subject circuit 1 is operable at the clock at more nth-fold than a test circuit input clock, it is normally operated, and thereby normal compression data are outputted. The compression data outputted after being compressed at more nth-fold than the subject circuit 1 is converted into 1/n by a compression data depression circuit 4, and thus observation at a large scale integrated circuit tester is made possible to be done.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

[of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-30646

(43)公開日 平成11年(1999)2月2日

(51)Int.Cl.	識別記号	F I
G 0 1 R 31/28		G 0 1 R 31/28 V
G 0 6 F 1/04	3 0 1	G 0 6 F 1/04 3 0 1 F
H 0 1 L 21/82		G 0 1 R 31/28 E
		H 0 1 L 21/82 T

審査請求 未請求 請求項の数4 OL (全5頁)

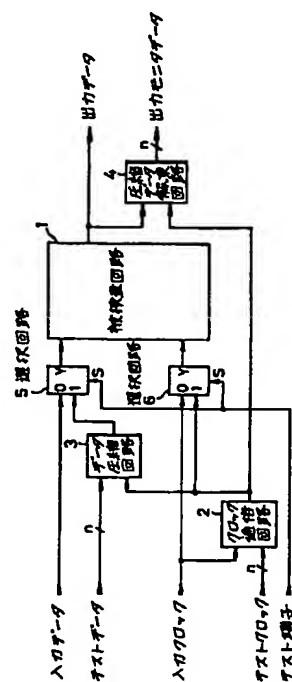
(21)出願番号 特願平9-184751
(22)出願日 平成9年(1997)7月10日

(71)出願人 000232047
日本電気エンジニアリング株式会社
東京都港区芝浦三丁目18番21号
(72)発明者 関安 英樹
東京都港区芝浦三丁目18番21号 日本電気
エンジニアリング株式会社内
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体集積回路及びそれに含まれるテスト回路

(57)【要約】

【課題】 広範囲の被検査回路を高速にテストできる、半導体集積回路及びそれに含まれるテスト回路を得る。
【解決手段】 半導体集積回路は、テスト端子からの入力でテストモードにして使用する。テストモードになった時、被検査回路1には、クロック倍増回路2によりn倍に高速にされたクロックが入力され、また、データはデータ圧縮回路3でn倍に多重された信号が入力される。被検査回路1は、n倍に速度された、クロック及びデータが入力されるため、被検査回路1が、テスト回路に入力クロックよりn倍のクロックでの動作が可能である場合、正常に動作し、正常な圧縮データが出力される。被検査回路1よりn倍に圧縮されて出力された圧縮データは、圧縮データ解凍回路4により、1/nに変換され、LSIテストでの観測が可能となる。



【特許請求の範囲】

【請求項1】 クロックを通過して過倍クロックを発生するクロック通過手段と、複数相のパラレルテストデータを前記過倍クロックに同期したシリアルのテストデータに変換するデータ圧縮手段と、入力データと前記シリアルテストデータとを入力してテスト時には前記シリアルテストデータを選択して被検査回路に入力するデータ選択手段と、入力クロックと前記過倍クロックとを入力してテスト時には前記過倍クロックを選択して被検査回路に入力するクロック選択手段と、前記被検査回路出力の前記シリアルテストデータを元の前記複数相のパラレルテストデータに復元する圧縮データ解凍手段とを含むことを特徴とするテスト回路。

【請求項2】 前記クロック通過手段が、入力クロックを2倍に過倍する2過倍手段と、前記2過倍手段をタンドームに接続することによって2の累乗倍する手段とを含むことを特徴とする請求項1記載のテスト回路。

【請求項3】 前記クロック通過手段が、複数相のテストクロックの論理和をとることにより前記過倍クロックを発生する手段であることを特徴とする請求項1記載のテスト回路。

【請求項4】 請求項1、2あるいは3記載のテスト回路と、前記被検査回路とを含むことを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体集積回路及びそれに含まれるテスト回路に関し、特に高速のテストが可能な半導体集積回路及びそれに含まれるテスト回路に関する。

【0002】

【従来の技術】 業務用のデジタル電子回路が、ゲートアレー等の半導体集積回路(LSI)で、構成されるようになってすでに久しい。そのゲートアレーもますます大規模になって、テスト時間を短縮する必要が大きくなっている。テスト時間を短縮する方法の一つにクロック周波数を高める方法があり、本発明はこの方法に関する。

【0003】 特開昭63-91578号公報あるいは特開平4-328476号公報には高速クロックを使用した半導体集積回路のテストの高速化を図る方法が提案されている。特開平4-328476号公報には、図7に示すように、LSIの内部に高速なクロックを発生するクロック発生回路を備えることにより、テスト時にはその高速なクロックを用いて、LSIを動作させる方法が提案されている。

【0004】 すなわち、高速、高機能なLSI内部に、該LSIの試験に必要な高速クロックを発生する高速クロック発生回路2'を設けておき、LSIの試験時選択回路6により、高速クロック発生回路2'から発生され

る高速クロックを用いて、LSIの被検査(内部)回路1の試験、評価を行うので、LSIには、高速クロック発生に関し、クロック発生指令、または高速クロック発生のための比較的低周波数のクロックを与えればよく、高速、高機能のLSIに対し、普通のLSIテストあるいは評価装置で充分に対応できるとされている。

【0005】

【発明が解決しようとする課題】 図7に示す特開平4-328476号公報記載の提案の場合は、高速クロック発生回路2'から発生したクロックを被検査回路1に入力して、被検査回路1を高速で検査することができるとなっている。しかし、一般的には、クロックだけを高速にしただけで、全動作を観測できるLSIはまれであり、データも同時に高速化して入力する必要があった。また、通常のLSIテストは、高速で動作するLSIの動作状態を観測するのは不得手であるため、被検査回路1を高速で動作させても、うまく観測できない場合が多くあった。また、部分的に早回し(高速動作)のために高速なクロックを、被検査回路1の途中で挿入するという手段も考えられるが、テストパターンの作成が困難となるため、ほとんど適用されることはない。

【0006】 本発明の目的は、広範囲の被検査回路を高速にテストできる、半導体集積回路及びそれに含まれるテスト回路を提供することである。

【0007】

【課題を解決するための手段】 本発明によるテスト回路は、クロックを過倍して過倍クロックを発生するクロック通過手段と、複数相のパラレルテストデータを前記過倍クロックに同期したシリアルのテストデータに変換するデータ圧縮手段と、入力データと前記シリアルテストデータとを入力してテスト時には前記シリアルテストデータを選択して被検査回路に入力するデータ選択手段と、入力クロックと前記過倍クロックとを入力してテスト時には前記過倍クロックを選択して被検査回路に入力するクロック選択手段と、前記被検査回路出力の前記シリアルテストデータを元の前記複数相のパラレルテストデータに復元する圧縮データ解凍手段とを含むことを特徴としている。

【0008】 本発明の作用は次の通りである。高速クロック発生回路(クロック過倍回路)と、高速にしたクロックとをデータに同期させるために、データも高速にするようなデータ圧縮回路および、LSIの動作結果を外部で容易に観測できるようにする、圧縮データ解凍(復元)回路から構成される。データ圧縮回路の例としては、n倍に過倍されたクロックと同期したデータに圧縮するためには、例えばn→1のパラレル/シリアル変換回路を使用する。また、圧縮データ解凍(復元)回路としては、例えば1→nに変換するシリアル/パラレル変換回路を使用する。データ圧縮回路及び、圧縮データ解凍回路により、従来のテスト回路が適用できなかつたほ

とんどのLSIのテストに、使用可能となる。

【0009】

【発明の実施の形態】以下に、本発明の実施例について図面を参照して説明する。

【0010】図1は本発明による半導体集積回路及びそれに含まれるテスト回路の実施例の構成を示すブロック図であり、図7と同等部分は同一符号にて示している。

【0011】図1において、本発明による半導体集積回路は、被検査回路1と、入力クロックを例えばn倍するクロック倍増回路2、例えばnチャネルのテストデータを、一本のシリアルデータに変換するデータ圧縮回路3、テスト時にデータを選択する選択回路5、テスト時にクロックを選択する選択回路6、圧縮データを例えばnチャネルの出力モニタデータに、復元する圧縮データ解凍回路4を含むテスト回路とで構成される。

【0012】本発明の実施例の動作は、従来、LSIテスタでLSIの試験を行う際、被検査回路1が高速で動作可能でも、LSIテスタのクロックスピードに制限され、被検査回路1を高速で試験することができなかつた場合でも、本発明による半導体集積回路は、テスト端子からの入力でテストモードにして使用できる。テストモードになった時、被検査回路1には、クロック倍増回路2によりn倍にされた(倍増)クロックが入力され、また、データとしてはパラレルテストデータが、データ圧縮回路3でn倍に多重された、シリアルテストデータ信号(圧縮データ)が入力される。

【0013】被検査回路1は、n倍に倍増された、(倍増)クロック及び(圧縮)データが入力されるため、被検査回路1が、テスト回路入力クロックよりn倍のクロックでの動作が可能である場合、正常に動作し、正常な圧縮データが出力される。被検査回路1よりn倍に圧縮されて出力された圧縮データは、圧縮データ解凍回路4により、1/nのパラレル出力モニタデータに変換(復元)され、LSIテスタでの観測が可能となる。

【0014】図3、5はクロック倍増回路2の実際回路例である。図4は図3のタイミングチャートであり、入力クロックを一方はNAND12に入力し、他方はゲート11で位相反転して、NAND13に入力する。NAND12、13の出力信号a、bに遅延回路(遅延時間:τ)14、15を介して、信号c、dとしてNAND13、12に戻す。

【0015】従って、信号a、bをNAND16に入力すると、NAND16の出力として、1/2倍のクロック周期を持つ2倍クロックが得られる。このとき、遅延回路14、15の遅延時間τを入力クロック周期の1/4に選べば、2倍クロックのデューティー比を50%に近づけることができる。これによって、入力クロックを2倍速に倍増することができるため、n個タンデムに接続することにより、2^n(2の累乗)倍に倍増すること

が可能となる。

【0016】図6は図5のタイミングチャートであり、図5において、デューティ比が50%の位相の異なる波形(クロック)を、n相(#1~#n)入力し、論理和を組むことにより、クロックをn倍に倍増することが可能となる。

【0017】図2は例えば被検査回路1を4ビットのシフトレジスタ回路とした時、本発明によるテスト回路により、クロック信号を4倍に倍増し動作させた時のタイミングチャートである。この4ビットのシフトレジスタ回路は、実動作では図2(a)に示すように、入力データa b c dはクロックにより順次シフトされ、出力データa b c dとして出力される。

【0018】この4ビットのシフトレジスタ回路を4倍の速さでテストしようとすると、図2(b)に示すように、4相のテストデータ#1a~#4dを並列(パラレル)に入力し、4倍に倍増された4倍クロックでシリアル(圧縮)データa b c d化して、シフトレジスタ回路に入力すると、テストデータとして出力(圧縮)データa b c dが得られる。この圧縮データを圧縮データ解凍回路4で変換すると、出力モニタデータ#1a~#4dが得られる。

【0019】図6に示すように、本発明のテスト回路を使用すると、通常低速のテストしかできないLSTテスタを使用しても、実動作に近い検証が少ないテストパターン数で可能となる。

【0020】

【発明の効果】以上説明したように本発明は、倍増回路によりn倍されたクロックを用いて、n本のデータを1/nに圧縮し、n倍のクロックと圧縮データにより被検査回路を高速で動作させ、圧縮データ解凍回路により圧縮されたデータを、n倍に復元して観測することにより、LSIのテストを高速でできる効果がある。

【図面の簡単な説明】

【図1】本発明の実施例のブロック図である。

【図2】本発明の実施例のタイミングチャートである。

【図3】クロック倍増回路の一例の回路図である。

【図4】クロック倍増回路の一例のタイミングチャートである。

【図5】クロック倍増回路の他の一例の回路図である。

【図6】クロック倍増回路の他の一例のタイミングチャートである。

【図7】従来のテスト回路の一例のブロック図である。

【符号の説明】

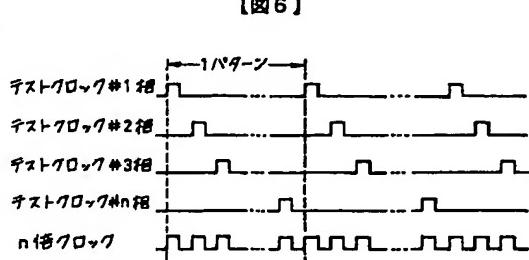
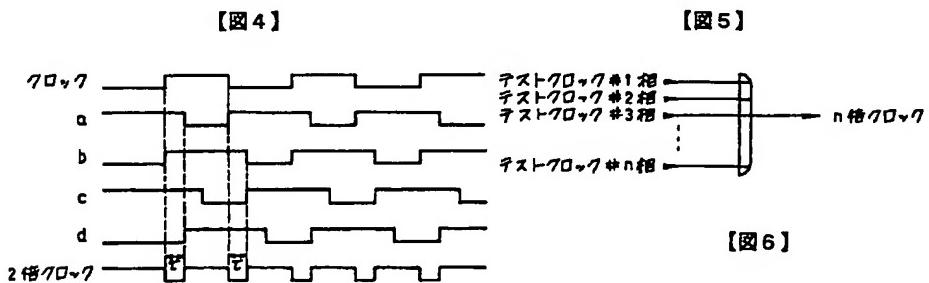
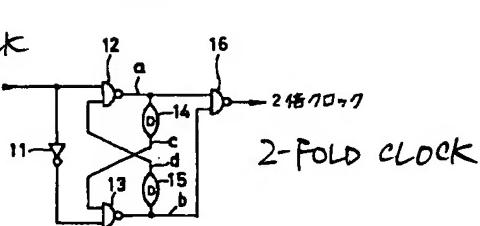
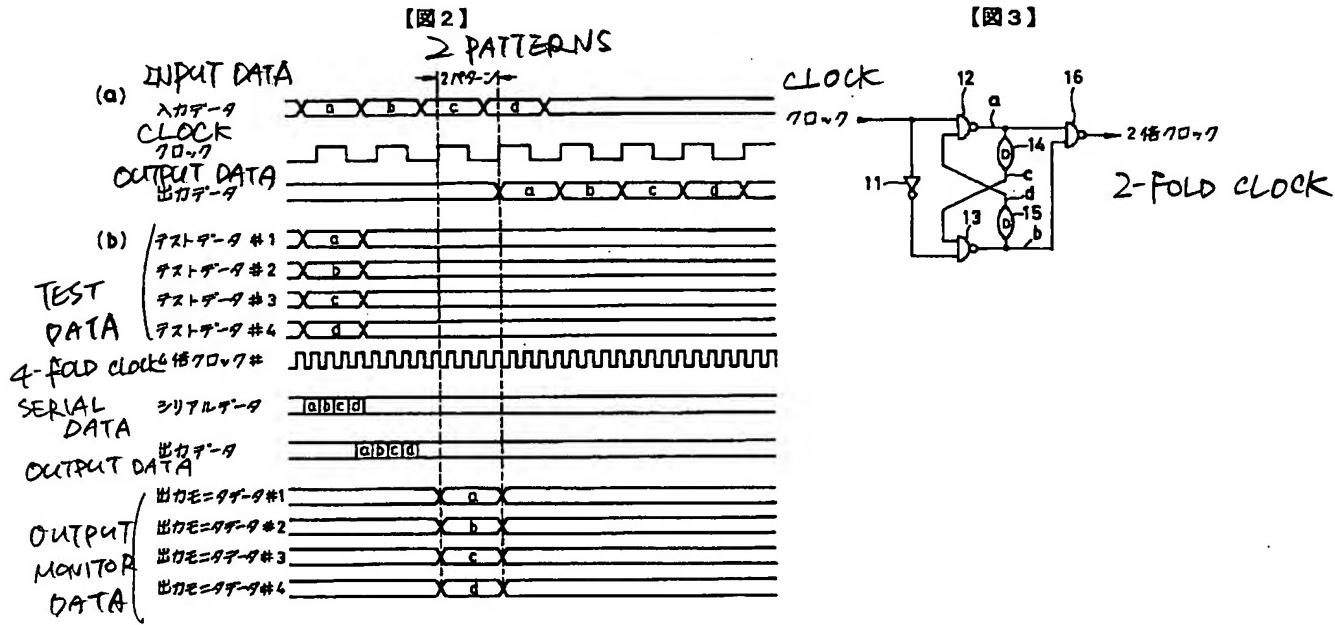
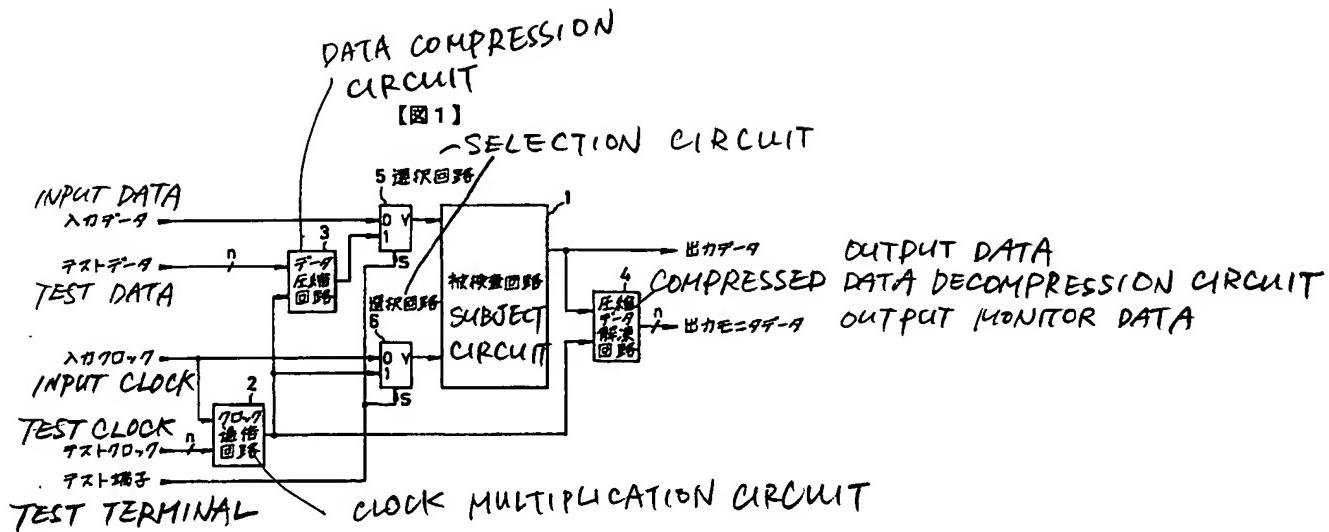
1 被検査回路

2 クロック倍増回路

3 データ圧縮回路

4 圧縮データ解凍回路

5, 6 選択回路



【図7】

